

高速LSIの動作周波数改善・消費電力低減

STO薄膜コンデンサ

STO Thin Film Capacitor

〈WLP内蔵〉 Under RDL (Embedded in WLP) STO Thin Film Capacitor

再配線層用 STO薄膜コンデンサ

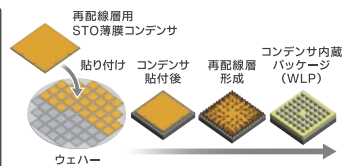
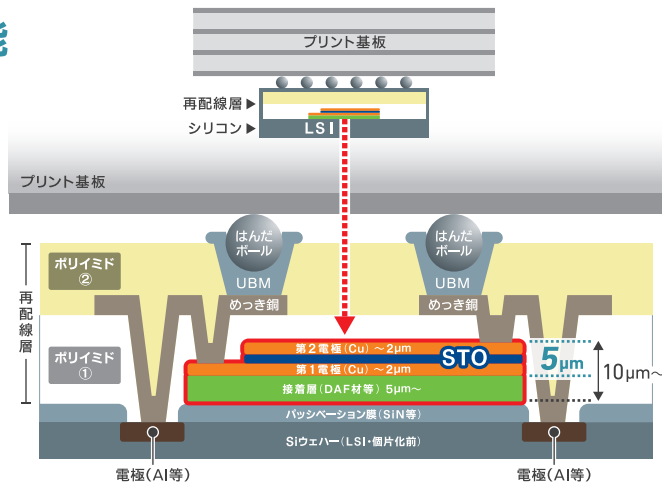
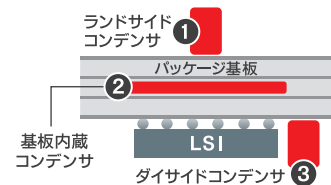
5 μ mの超薄膜化を実現

WLP※1 FOWLP※2の再配線層の下に配置可能

※1 Wafer Level Packaging ※2 Fan-Out WLP

- LSIの動作周波数、消費電力を10～50%改善
- 超薄型(5 μ m・接着層付き10 μ m)でパッケージの厚さ(体積)の増加が最小限
- ポリイミド層塗布(スピコート)への障害が少ない
- 再配線層とパッシベーション層の間に配置可能
- 高周波特性の改善と消費電力減少に寄与
- 接続するための工程増加が少ない
LSIとコンデンサは再配線形成のめっき銅で接続
- 低インダクタンス
LSIに内蔵できない容量のコンデンサをWLPパッケージ内部の最も近い位置で供給
- WLPに加え、FOWLP等にも適用可能

一般的なパッケージ基板内コンデンサ配置例



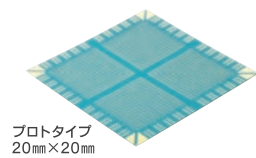
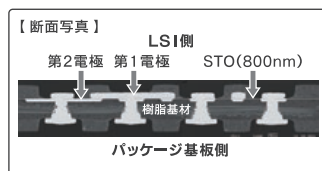
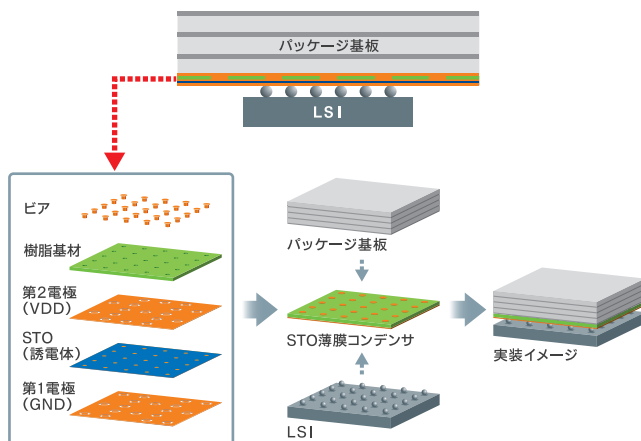
〈チップ実装面貼付〉 Package Substrate attaching STO Thin Film Capacitor

パッケージ基板用 STO薄膜コンデンサ

高周波電源品質を大幅改善

パッケージ基板表面に低インピーダンス電源プレーンを提供

- LSIの動作周波数、消費電力を10～50%改善
- パッケージ基板表面に貼付(チップ実装面)
- 高周波特性が大幅改善
LSIとコンデンサの間に高インダクタンスのビアが存在しない
- 電源(VDD、GND)はコンデンサの各電極と直接接続
LSIパッドとコンデンサの接続距離が50 μ m未満
- 信号線はコンデンサを貫通するビア経路でパッケージ基板側電極へ接続
- STO薄膜コンデンサ周辺に配置するMLCCとの併用で低インダクタンスでの高容量提供も可能



STO薄膜コンデンサの特徴

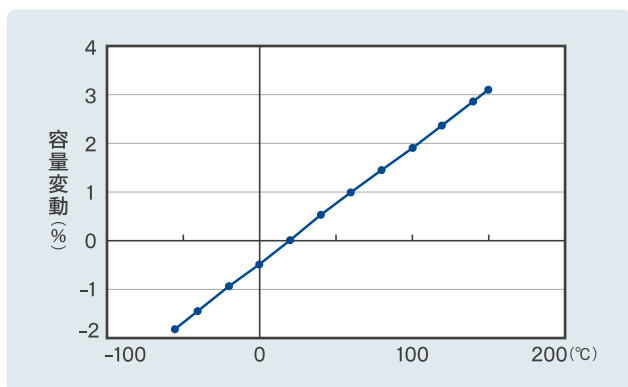
LSIのさらなる高速化、低消費電力化、高集積化への対応には、LSI直近での電源インピーダンスを低く抑え、電源を安定化させることが必須です。当社のWLP再配線層用・パッケージ基板用の各STO薄膜コンデンサは、その薄さと独自の接続構造により、LSI品質を大幅に改善させます。STO(チタン酸ストロンチウム)は、安定性に優れ、温度やバイアス電圧による影響が極めて少なく、LSI近傍の高温環境においても安定した性能を発揮します。

For Low-power and High-speed LSI operation, improvement of power integrity is essential. Our Ultra-thin STO Capacitor, which can be placed inside WLP (under RDL) or on package PWB, enables very low power impedance at high frequency range nearby LSI, and realizes high quality power environment.

温度安定性

−50℃～150℃で容量変化 ±2.5%以内

■ 高温動作中のLSI近傍でも安定した高性能を発揮



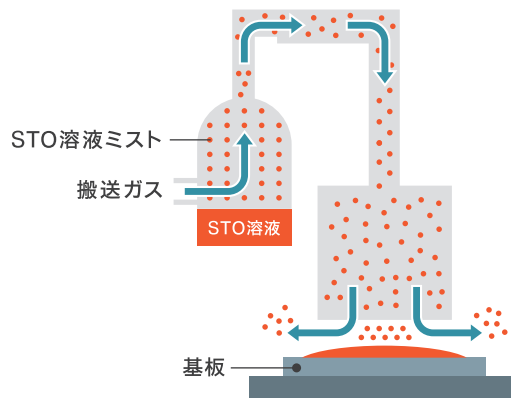
5μmの超薄膜化

特許第4587633号

特許第4841338号

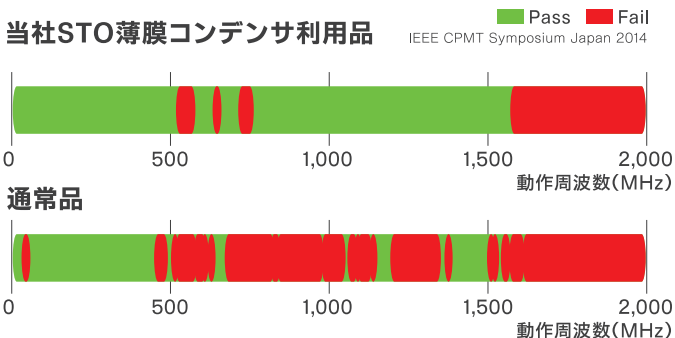
【当社独自製法】エアロゾルCVD法

■ STOの高品質薄膜を大気圧で成膜



高い結晶安定性を持つ常誘電体による優れた高周波特性

■ 動作速度向上の例



誘電体	STO チタン酸ストロンチウム SrTiO ₃
最大耐圧	25 v
作動電圧	7v以下
比誘電率(ε _r)	20～90
誘電体膜厚	600～800nm
誘電損失(tanδ)	0.5%未満

<当社特許>

当社では、薄膜コンデンサの構造的長を生かすために、LSIとの接続方法、パッケージ内での配置方法につき、様々な構造を提案しています。(登録特許多数)
また、複数のLSIによる実証と、電磁界・熱応力・SPICE等のシミュレーションを利用し性能の確認を行っています。

反共振抑制構造	特許第5974421号	成膜方法	特許第4841338号 特許第4587633号
パッケージ基板貼付構造	特願2016-503259 (特許査定済)	分割コンデンサ構造	特許第6019367号
リードフレーム対応構造	PCT出願中	DRAM用構造	特許第5874072号
WLP/再配線層用構造	PCT出願中	低ESL配線構造	特許第5756958号
		立体接続構造	特許第5531122号 特許第5474127号

株式会社野田テクノ www.nodatechno.com

[本社] 〒485-0821 愛知県小牧市大字本庄字大坪415番地 TEL 0568-79-0222/FAX 0568-79-0581
[東京オフィス] 〒103-0007 東京都中央区日本橋浜町二丁目15番5号 TEL 03-5614-0112/FAX 03-5614-0113
日本橋OSTビル8F

お問い合わせメール: info@nodatechno.com